УДК 621.3.049.771.14

## УЧЕТ СТРУКТУРНЫХ КОРРЕЛЯЦИЙ В СОВРЕМЕННЫХ СВЕРХБОЛЬШИХ ИНТЕГРАЛЬНЫХ СХЕМАХ

## Геворгян А.М., Курочкин А.А.

Национальный исследовательский университет «Московский институт электронной техники», Москва, e-mail: argevman@yahoo.com

В современных полупроводниковых технологических процессах из-за уменьшения размеров отклонения параметров элементов значительно растут, а влияние изменения напряжения питания и температуры становится более значительным. В этих условиях продуктивным способом временных проверок для цифровых схем является только использование статистических методов. Таким методом является статистический статический метод временного анализа. В данной статье предлагается метод учета структурных корреляций при помощи специальных списков зависимостей. В этих списках сохраняются все вершины соответствующего графа схемы и список вершин, от которого зависит данная вершина. Для уменьшения машинных временных затрат также дается возможность сокращения данного списка. В ходе экспериментов были получены результаты, которые подтверждают эффективность данного метода учета структурных корреляций по сравнению с другими известными методами.

Ключевые слова: статистический статический временной анализ, структурная корреляция, максимум статических данных, функция интегрального распределения

# ACCOUNT OF STRUCTURAL CORRELATIONS IN MODERN VERY LARGE SCALE INTEGRATION

## Gevorgyan A.M., Kurochkin A.A.

National Research University of Electronic Technology (MIET), Moscow, e-mail: argevman@yahoo.com

In modern semiconductor technological processes, due to the decrease in the size of the deviation of the parameters of the elements, they grow significantly, and the effect of the change in the supply voltage and temperature becomes more significant. In these conditions, the use of statistical methods is a productive way of temporary checks for digital circuits. This method is a statistical static method of time analysis. In this article, we propose a method for taking into account structural correlations using special lists of dependencies. These lists store all the vertices of the corresponding graph of the scheme and the list of vertices on which the given vertex depends. To reduce the machine time costs, it is also possible to reduce this list. In the course of the experiments, results were obtained that confirm the effectiveness of this method of accounting for structural correlations in comparison with other known methods. In modern semiconductor technological processes, the deviation of the parameters of the elements is significantly increased due to the decrease in dimensions, and the effect of the change in the supply voltage and temperature becomes more significant. In these conditions, the use of statistical methods is a productive way of temporary checks for digital circuits. This method is a statistical static method of time analysis. In this article, we propose a method for taking into account structural correlations using special lists of dependencies. These lists store all the vertices of the corresponding graph of the scheme and the list of vertices on which the given vertex depends. To reduce the machine time costs, it is also possible to reduce this list. During the experiments, results were obtained that confirm the effectiveness of this method of accounting for structural correlations in comparison with other known methods.

Keywords: statistical static time analysis, structural correlation, maximum of static data, integral distribution function

Продолжающееся масштабирование в современных субмикронных технологиях вызывает трудности проектирования цифровых интегральных схем (ИС). Возрастание технологических отклонений (ТО), характерных для 28 и более низких нанометровых технологий, усложняет процесс верификации результатов проектирования ЙС. Как известно, развитие интегральных схем направлено на улучшение следующих основных параметров – уменьшение площади кристалла, расходов потребляющей мощности, напряжения питания, порогового напряжения, размеров отдельных электрических и геометрических компонентов [1]. Неучет ТО во время проектирования и верификации приводит к неисправности ИС, возрастанию вероятности возвращения с производства на проектирование, а также к другим нега-

тивным явлениям и, как следствие, к уменьшению процента выхода годных и, следовательно, прибыли [2]. Как правило, средства, предназначенные для уменьшения ТО, приводят к резкому возрастанию площади, потреблению тока, что и усложняет проектирование [3]. После проектирования ИС производится, но в каждой ИС происходят отклонения значений параметров, из-за неидеальности производящих приборов и процессов производства [4]. Кроме этого, каждая ИС находится в отдельной рабочей среде, в зависимости от места и цели использования. Факторы рабочей среды (температура, напряжение питания, рабочая нагрузка), влияя на ИС, меняют значения ее параметров. Чтобы ИС соответствовала техническим заданиям, необходимо, чтобы проектировщик учел все указанные факторы.

Основным методом временного анализа (ВА) цифровых ИС является статический временной анализ (СВА), так как потребляемое время с увеличением размеров ИС увеличивается линейно [5]. При СВА схема разбивается на отдельные пути, после этого производится анализ времен установления и удержания. Для моделирования МС разбросов используется метод наилучших (НЛ) и наихудших (НХ) случаев, когда все транзисторы внутри одного ИС одновременно имеют самую большую или самую маленькую задержку. Однако с возрастанием влияния ТО эффективность этого метода резко уменьшается, так как разбросы параметров транзисторов уже не монотонны и не гарантируют получения крайних значений задержек. Для этого нужно учитывать десятки и даже сотни комбинаций разных параметров, что связано с большими затратами как машинных, так и человеческих ресурсов.

В современных интегральных схемах единственным продуктивным способом учета ТО является использование статистических моделей, когда каждому параметру присваивается не отдельное значение отклонения, а разброс, описываемый рассеиванием. Несмотря на то, что для отдельных транзисторов существуют такие модели, для оценки задержки в цифровых ИС их непосредственное использование нецелесообразно. Причинами являются необходимость больших машинных ресурсов и временных затрат, а также невозможность применения этих моделей в типовом маршруте проектирования цифровых ИС.

В данной статье предлагается метод улучшения статистического статического временного анализа (ССВА) при учете в структурных корреляциях.

К основным операторам, используемым во время статистического статического временного анализа (ССВА), относятся операторы суммирования и максимума статистических данных (ССД и МСД) [6]. ССД используется во время суммирования задержки стандартной ячейки с входным временем поступления, а МСД — для выбора максимальной задержки на выходе многовходовой ячейки [7]. Для двухвходовой ячейки «И» с входами *i*, *j* и выходом о задачу СВА можно сформулировать в виде [8]:

$$A_0 = \max(A_i + D_{i0}, A_j + D_{i0}), \tag{1}$$

где  $A_i$ ,  $A_j$  и  $A_0$  — времена поступления сигналов соответственно на входы и выход;  $D_{i0}$  и  $D_{j0}$  — задержки от входов до выхода.

Известно, что если  $A_m$  — максимум входных времен поступлений  $A_i$  и  $A_i$ , то функция интегрального распределения [9] (ФИР)  $A_m$  может быть представлена в виде

$$C_{m}(t) = C_{i}(t) \cdot C_{i}(t), \tag{2}$$

где  $C_i(t)$  и  $C_j(t)$  — ФИР переменных  $A_i$  и  $A_j$ . Важно отметить, что (2) действительно только в случае независимости переменных  $A_i$  и  $A_j$  и только при использовании ФИР.

Но в действительности в структурах цифровых схем почти всегда бывают случаи, когда пути, которые начинаются с одной точки, разделяются, а потом снова соединяются, вызывая структурные корреляции. На рис. 1 показан пример такой схемы. Для этого случая (2) больше не действует.

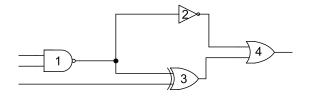


Рис. 1. Пример схемы со сходящимися разветвлениями

Здесь времена поступления на входы ячейки «4» зависимы от выхода «1». В таком случае имеет место структурная корреляция, когда отклонение задержки общей части влияет на ячейки «2» и »3», а потом — и на выход «4». Это приводит к излишнему пессимизму при оценке отклонения задержки [6]. Время поступления на выход определяется с помощью (3). Если  $A_i = A_c + D_1$ , а  $A_j = A_c + D_2$ , где  $A_c$  — общая часть задержки, а  $D_1$  и  $D_2$  — отдельные части, то с учетом того, что  $A_c$  имеет константное значение, выражение (3) можно преобразовать следующим образом:

$$A_o = A_c + \max(D_1 + D_{io}, D_2 + D_{jo}).$$
 (3)

Поскольку переменные  $D_1$ ,  $D_{io}$ ,  $D_2$  и  $D_{io}$  независимы, то с использованием (2) выражение (3) можно представить в виде

$$C_o = C_c * [(C_1 * D_{io}) \cdot (C_2 * D_{jo})]',$$
 (4)

где  $C_{\rm c}$ ,  $C_{\rm 1}$  и  $C_{\rm 2}$  — ФИР общей и отдельных частей соответственно. Полученное уравнение помогает учитывать корреляции, но только при простых схемах, когда один выход имеет два разветвления. На практике схемы и зависимости более сложны (рис. 2).

Вход ячейки «С5» зависит от соединений A, B, C и D. Каждое из них формулирует определенные подпути к входу «С5». Для вычисления времени поступления на выходе следует учитывать все эти зависимости. Предложенный алгоритм вычисления времени поступления с учетом структурных корреляций приведен на рис. 3.

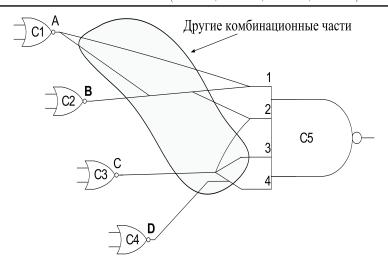


Рис. 2. Общий случай сходящихся разветвлений в цифровых ИС

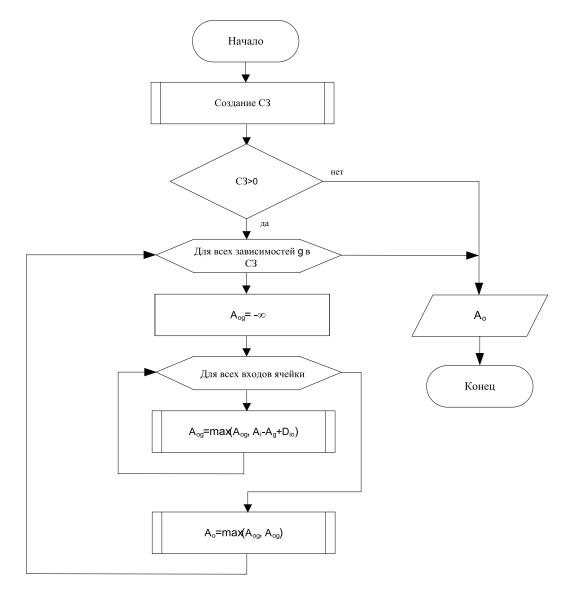


Рис. 3. Предложенный алгоритм вычисления времен поступления с учетом структурных корреляций

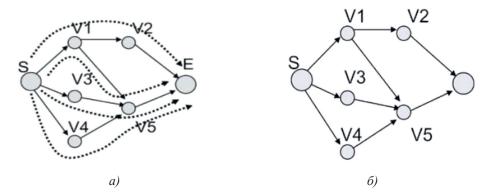


Рис. 4. Иллюстрация метода решения МСД для отдельных ячеек (а) и путей (б)

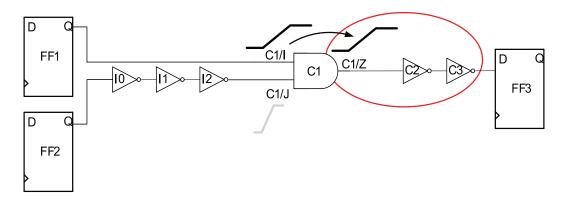


Рис. 5. Иллюстрация выбора максимального фронта для отдельных ячеек

Предлагается создать список зависимостей (C3), где бы сохранились все вершины соответствующего графа схемы и список вершин, от которого зависит данная вершина. В списке вершины сортируются согласно их уровням, то есть самые близкие вершины соответствуют самому высокому уровню. Так как использование полного СЗ связано с большими машинными затратами, дается возможность ограничить его способом удаления вершин с нижних уровней СЗ. Используя алгоритм для рис. 3, первый и третий входы «C5» будут рассматриваться зависимыми только от В, а второй и четвертый – от С, так как В и С находятся на более высоком уровне в СЗ. После этого времена поступления вычисляются с помощью (4) и, как независимые переменные, используются в (2) для решения МСД. При вычислении МСД использован метод, основанный на отдельном вычислении максимума для каждой ячейки (рис. 4, а). Это позволяет сократить машинное время в среднем в три раза по сравнению с методом вычисления МСД всех путей (рис. 4, б). Несмотря на то, что данный метод позволяет уменьшить временные затраты, он более пессимистичен с точки зрения оценки задержки схемы.

На рис. 5 показан пример схемы с многовходовой ячейкой. При выборе максимального фронта на входе «С1» выбирается фронт входа I, который будет дальше распространяться в схеме и определять дальнейшие значения задержек. От этих значений зависит выбор критического пути схемы. Если в конечном итоге критическим путем окажется путь от FF2 до FF3, то эта оценка будет пессимистичной, так как в рабочем режиме фронт сигнала от FF2 до FF3 более короткий.

С целью уменьшения пессимизма оценки предложена методика, позволяющая в вышеописанных случаях перейти к отдельному вычислению МСД для определенных критических путей.

Выполняется перерасчет времени для отдельного пути, в результате чего временной запас для данного критического пути увеличивается. Это, в свою очередь, сокращает число итераций от ВА до проектирования и ручных изменений схемы. Данная методика перерасчета временных задержек эффективна в случае больших схем, так как вероятность пессимистичного вычисления МСД увеличивается с ростом сложности схемы.

Таблица 1 Точность учета структурных корреляций по сравнению с другими методами

Схема	Задержка, пс			Ошибка по сравнению с HSPICE, %	
	Метод 1 [6]	HSPICE	Предложенный метод	Метод 1	Предложенный метод
C432	758	770	741	1,56	3,77
C1908	1387	1426	1350	2,73	5,33
C2670	1749	1795	1711	2,56	4,68
C3540	4181	4278	4062	2,26	5,04
C7552	8640	8863	8377	2,51	5,48

Таблица 2 Сравнение быстродействия учета структурных корреляций

Схема	Быстродействие, раз		
	По сравнению с методом 1	По сравнению с HSPICE	
C432	2,30	3,20	
C1908	2,61	3,25	
C2670	2,45	4,45	
C3540	2,19	5,41	
C7552	4,52	6,17	

#### Выводы

Сравнение точности и быстродействия структурных корреляций данного метода приведено в табл. 1 и 2. Для сравнения были выбраны схемы из набора ISCAS-89.

Эффективность предложенного в статье метода была сравнена с программной реализацией на данный момент широко используемым методом 2, а также была сравнена с результатами моделирования HSPICE Монте-Карло, когда учитываются структурные корреляции.

Предлагаемый подход вычисления структурной корреляции позволяет при допустимой точности значительно увеличить скорость расчета временных проверок.

#### Список литературы

1. Pang L.-T., Nicolic B. Measurements and Analysis of Process Variability in 90 nm // IEEE Journal of Solid-State Circuits. – 2009. – Vol. 44. – P. 1655–1663.

- 2. The International Technology Roadmap for Semiconductors: design report, 2010.
- 3. Parametric Yield-Aware Sign-off Flow in 65/45nm / B.-S. Kim, B.-H. Lee, H.-B. Choi et al // International SoC Design Conference. Busan, 2008. P. 74–77.
- 4. Pang L.-T., Nicolic B. Measurements and Analysis of Process Variability in 90 nm // IEEE Journal of Solid-State Circuits. 2009. Vol. 44. P. 1655–1663.
- 5. Bhasker J., Chadha R. Static Timing Analysis for Nanometer Designs: A Practical Approach. Springer, 2009. 592 p.
- 6. Короленко П.В. Основы статистических методов в оптике. М.: Университетская книга, 2010.-163 с.
- 7. Aftabjahani S.-A., Milor L. Fast Variation-Aware Statistical Dynamic Timing Analysis // World Congress on Computer Science and Information Engineering. Los Angeles, 2009. P. 488–492.
- 8. Abu M. Baker, Max Operation in Statistical Static Timing Analysis on the Non--Gaussian Variation Sources for VLSI Circuits. Doctoral dissertation. University of Nevada, Las Vegas, 2013. P. 59–62.
- 9. Иванов С.А. Моделирование процессов коммуникации в научном сообществе: Устойчивые статистические распределения в коммуникационных системах. М.: Либроком,  $2010.-120\ c.$