УДК 681.3.01

СПОСОБ И УСТРОЙСТВО ДЛЯ ВЫПОЛНЕНИЯ ПАРАЛЛЕЛЬНО-КОНВЕЙЕРНЫХ ОПЕРАЦИЙ ДЕЛЕНИЯ НАЦЕЛО

Осинин И.П.

ФГБОУ ВПО «Вятский государственный университет», Киров, e-mail: stalker-lord@mail.ru

Рассмотрен способ организации параллельно-конвейерной операции деления на базе однородной вычислительной среды. Предложенный способ деления двоичных положительных чисел нацело отличается от известных тем, что деление производится с помощью операции мультиоперандного суммирования, начиная с младших разрядов делимого. Особенностью предложенного способа является замена традиционной итерационно-последовательной операции сложения набором параллельно исполняемых операций, выполняемых над разрядными срезами числового массива, что обеспечивает по сравнению с известными способами и решениями повышение скорости вычислений и снижение аппаратных затрат при технической реализации устройств. Предложенный способ по сравнению с известным итерационным способом позволяет повысить скорость вычислений в $n/\log_2 n$ раз, где n – разрядность операндов. Предложена организация вычислительной ячейки и на её базе организация конвейерной однородной вычислительной среды для формирования разрядных срезов делимого на основе способа деления. В отличие от известных аналогов вычислительная среда после заполнения $]\log_2 n[$ ступеней конвейера $T = (]\log_2 n[+ 1)\cdot t$ обеспечивает выдачу результата деления за $n\cdot t/\log_2 n$, t – время срабатывания вычислительной ячейки, n – разрядность операндов.

Ключевые слова: мультиоперандный сумматор, однородная вычислительная среда, деление нацело, параллельно-конвейерная операция

THE APPROACH AND THE DEVICE FOR MASSIVE PARALLEL-PIPELINED OPERATIONS OF INTEGER DIVISION, STARTING WITH THE LEAST BITS

Osinin I.P.

Vyatka State University, Kirov, e-mail: stalker-lord@mail.ru

The way of organizing a parallel-pipelined operations division on the basis of a homogeneous computing environment. The proposed method of binary division of positive numbers entirely, different from the known fact that the division is produced by the operation multioperand summation from lower digits of the dividend. Feature of the proposed method is the replacement of the traditional iterative-sequential additions set of parallel executable operations performed on bit-slice-indexed array that provides compared with known methods and solutions increase computing speed and reduction of hardware costs for the technical implementation of devices. The proposed method in comparison with the known iterative manner improves the speed of computation in $n/\log_2 n$ times, where n – bit operands. Proposed organization of computational cells, and on its basis the organization conveyor homogeneous computing environment for the formation of bit slice of the dividend based on the method of division. In contrast to conventional analog computing environment after filling $]\log_2 n[$pipeline stages $T = (]\log_2 n[+ 1)\cdot t$ provides for the issuance of the result of dividing $n\cdot t/\log_2 n$, t – response time computational cell, n – bit operands.

Keywords: multioperand adder, homogeneous computing environment, integer division, parallel-pipelined operations

Операция деления является одной из наиболее сложных арифметических операций. Её выполнение требует значительных временных затрат. Наиболее распространенные устройства деления представляют собой гетерогенные вычислительные структуры, реализующие различные итерационные способы, например, вычисление с ускорением на базе способа SRT. Подобные технические решения сложны для масштабирования и не обеспечивают высокой технологичности их производства при изменении форматов представления чисел.

Этих недостатков лишены спецпроцессоры (СП) на базе однородных вычислительных сред (ОВС) [1]. В таких средах однотипные базовые элементы (БЭ) соединены регулярными связями. Причем с введением в БЭ триггеров становится возможным организовать конвейерный режим работы ОВС, что в конечном счете ведет к повышению быстродействия. Таким образом, актуальна разработка новых способов МС для реализации данной операции на базе ОВС в параллельно-конвейерном режиме.

1. Способ итерационного деления SRT

В соответствии с алгоритмом SRT количество операций суммирования или вычитаний равно $n/2{,}67$ при делении двух n-разрядных чисел, что доказано статистически [5].

Схема на базе алгоритма SRT содержит сдвиговый регистр множителя, регистры множимого, удвоенного множимого и суммы частичных произведений, n-разрядный сумматор с распространением переноса, управляемый инвертор. Временная сложность Q_{SRT} устройства на базе SRT определяется произведением времени такта устройства T_{SRT} на количество суммирований, то есть

$$Q_{SRT} = \frac{T_{SRT}\cdot n}{2{,}67} = \frac{7\cdot t\cdot n\cdot n}{2{,}67} = 2{,}62\cdot t\cdot n^2,$$

причем время такта равно произведению количества одноразрядных полных сумматоров n на количество логических элементов в наиболее длинной цепи распространения сигнала в каждом (семь элементов «И-НЕ») и на время срабатывания логического элемента t.

Аппаратная сложность R_{SRT} данного устройства определяется произведением количества одноразрядных полных сумматоров n на количество логических элементов в каждом из них (15 элементов «И-НЕ»), а также количеством элементов памяти (каждый по четыре элемента «И-НЕ») в четырех n-разрядных регистрах и n-разрядным управляемым инвертором, то есть

$$R_{SRT} = 15 \cdot n + 4 \cdot 4 \cdot n + 4 \cdot n = 33 \cdot n.$$

Тогда удельная производительность G_{SRT} одного логического элемента составит

$$G_{SRT} = \frac{1}{2,62 \cdot t \cdot n^2 \cdot 33 \cdot n} = \frac{1}{86,52 \cdot t \cdot n^3}.$$

Полученное выражение временной сложности устройства на базе SRT показывает квадратичную зависимость от разрядности сомножителей. Аппаратная сложность увеличивается прямо пропорционально количеству сомножителей и их разрядности. Удельная производительность обратно пропорциональна кубу от разрядности чисел.

2. Способ деления целых двоичных чисел без остатка, начиная с младших разрядов

Способ алгебраического деления модулей чисел, представленных в позиционной системе счисления, на базе операции МС с пирамидальным выделением переносов (ПВП) [3] заключается в следующем (способ ДМС) [2].

1. Производится запись разрядов делителя в ячейки первой строки двумерной матрицы A размерностью n строк и n столбцов на элементах памяти. В ячейки каждой последующей строки записывается делитель, сдвигаемый на один разряд в сторону старших при переходе к следующей строке, освободившиеся разряды заполняются нулями. Столбцы матрицы являются соответствующими разрядными срезами SR_n, …, SR_2, SR_1.

2. Первый разряд s_1 искомого частного S становится равным сумме по модулю два младшего разряда SR_1 и первого разряда делимого, в остальные разряды n-разрядного частного записываются нули.

3. Производится поразрядное логическое умножение разрядов SR_2 на соответствующие разряды частного, результирующий вектор $D_2 = SR_2 \cdot S$.

4. Выполняется операция пирамидального выделения переносов вектора D_2. В результате формируется вектор переносов C_2 и одноразрядный вектор B_2.

5. Второй разряд s_2 частного S становится равным сумме по модулю два вектора B_2 и второго разряда делимого.

6. Производится поразрядное логическое умножение разрядов SR_3 на соответствующие разряды частного, результирующий вектор $D_3 = SR_3 \cdot S$.

7. Выполняется операция пирамидального выделения переносов вектора D_3 с учетом вектора переносов C_2. В результате формируется вектор переносов C_3 и одноразрядный вектор B_3.

8. Третий разряд s_3 частного S становится равным сумме по модулю два вектора B_3 и третьего разряда делимого.

9. Далее процесс вычисления последующих разрядов частного $S(s_n, \ldots, s_2, s_1)$ аналогичен п.п. 6–8 до момента вычисления значения разряда s_n.

10. После определения значения разряда s_n полученное значение $S(s_n, \ldots, s_2, s_1)$ есть значение искомого частного в n-разрядной машинной сетке.

Пример. Требуется разделить два четырехразрядных числа ($n = 4$):

делимое $a_1 = 1111$;

делитель $a_2 = 0101$.

$$A = \begin{pmatrix} 0101 \\ 1010 \\ 0100 \\ 1000 \end{pmatrix}.$$

Битовая матрица A сдвигаемого в сторону старших разрядов делителя имеет четыре разрядных среза: $SR_1 = 0001$, $SR_2 = 0010$, $SR_3 = 0101$, $SR_4 = 1010$. Первый разряд частного $s_1 = 1 \oplus 1 = 1$ становится равным инверсии суммы по модулю два младшего разряда SR_1 и первого разряда делимого, остальные разряды частного становятся равными нулю $S = 0001$. Вычисляется $D_2 = SR_2 \cdot S = 0010 \cdot 0001 = 0000$. Выполняется операция пирамидального выделения переносов, в результате $C_2 = 000$, $B_2 = 0$. Второй разряд $s_2 = 0 \oplus 1 = 1$. В итоге серии аналогичных вычислений будет получено искомое частное $S(s_4, s_3, s_2, s_1) = 0011$.

3. Спецпроцессор деления целых двоичных чисел без остатка

Вычислительное ядро СБИС-процессора для выполнения алгебраического деления состоит из устройства умножения n-разрядных двоичных чисел на базе МС

[4] и блока управления синхронизацией. При этом входы МС $Q_p - Q_1$ являются отдельными входами синхронизации триггеров канала переноса соответствующих столбцов ОВС мультиоперандного сумматора, где $p = \log_2 n$ – количество столбцов МС. Вход Q_{p+1} является входом синхронизации блока формирователя разрядных срезов, входящего в состав устройства умножения. Блок управления синхронизацией, в общем виде организация которого представлена на рис. 1, состоит из $2 \cdot p$ информационных D-триггеров, $p + 1$ элементов И, элемента ИЛИ, входа синхронизации c, инверсного входа сброса r, управляющего одноразрядного входа D, одноразрядных выходов $Q_{p+1} - Q_1$.

Блок управления синхронизацией обеспечивает первое прохождение каждого разрядного среза через МС без изменения состояния каналов переноса, что позволяет сформировать разряд частного, соответствующий разрядному срезу, который при повторном прохождении этого же разрядного среза участвует в формировании единиц переноса.

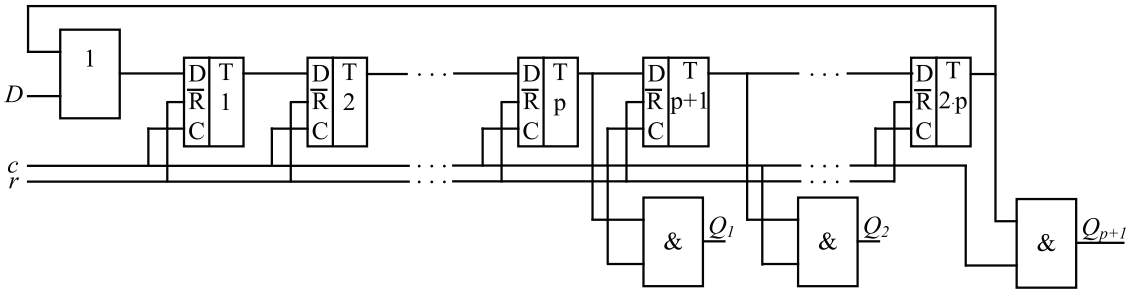

Рис. 1. Организация блока управления синхронизацией

Для выполнения операции деление нацело к устройству умножения, выполненному на базе мультиоперандного сумматора, добавлен блок управления синхронизацией и элемент «ИСКЛЮЧАЮЩЕЕ ИЛИ». Организация вычислительного ядра представлена на рис. 2, где D – одноразрядный управляющий вход, X – одноразрядный вход подачи делимого, Y – одноразрядный вход подачи делителя, S – одноразрядный информационный выход, c и r – входы синхронизации и сброса соответственно.

Перед началом операции деление на управляющий вход устройства D в течение одного такта подается значение логической единицы. В последующие такты на управляющий вход устройства D подается значение логического нуля. На вход Y последовательно подаются значения разрядов делителя. На выход X последовательно подаются значения разрядов делимого, начиная с младших, каждый $\log_2 n + 1$ такт.

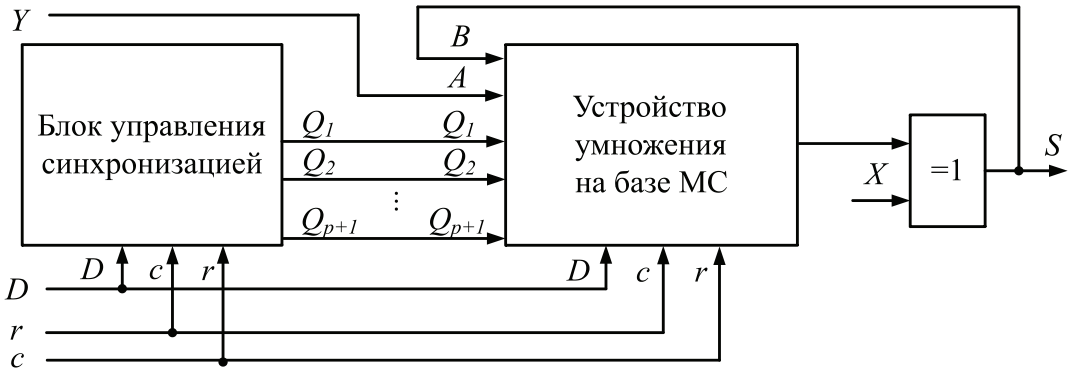

Рис. 2. Организация вычислительного ядра СБИС-процессора

Пример. Требуется разделить a_1 на a_2 ($n = 2$):

$a_1 = 11$,

$a_2 = 01$.

$$A = \begin{pmatrix} 01 \\ 10 \end{pmatrix}.$$

Битовая матрица A массива частичных произведений имеет два разрядных среза: $SR_1 = 01$, $SR_2 = 10$. Вычислительный процесс в ОВС приведен на рис. 3, где красным и синим цветом отмечено вычисление первого и второго разряда

искомого частного соответственно. Размерность мультиоперандного сумматора на базе способа ПВП составляет одну ЯОС3, так как $\log_2 2 = 1$. Исходные операнды подаются на информационные входы ОВС X и Y последовательно, начиная с младшего разряда каждый такт синхронизации.

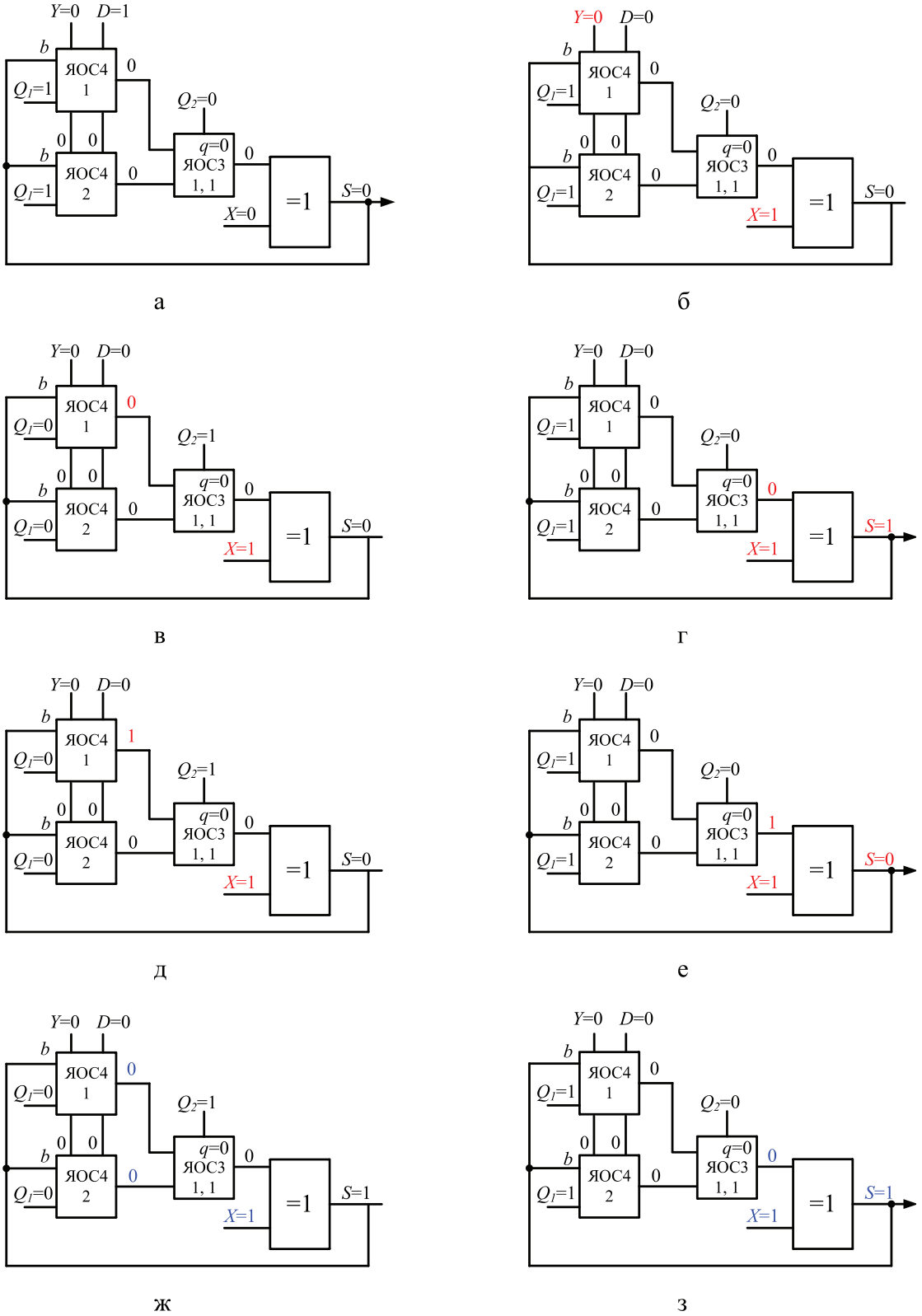

Рис. 3. Пример выполнения операции умножение: (а)–(з) процесс формирования результата

Разряды искомого результата доступны на выходе S спустя $1 + \log_2 2 = 2$ такта работы устройства после подачи младшего разряда исходных чисел. Таким образом, результаты расчета формируются в форме векторов на выходе S за восемь тактов работы устройства.

4. Сопоставление оценок эффективности способов деления

Для вычисления частного от деления n-разрядных чисел устройству необходимо выполнить одно мультиоперандное суммирование разрядных срезов, однако вычисления над каждым разрядным срезом выполняются с задержкой в $\log_2 n$ тактов, то есть

$$Q_{\text{ДМС}} = \frac{Q_{\text{умн}} \cdot \log_2 n}{2},$$

причем при устройстве умножения на базе ПВП [4] временная сложность составит

$$Q_{\text{ДМС}} = 3 \cdot t \cdot n \cdot \log_2 n.$$

Аппаратная сложность $R_{\text{дел}}$ устройства деления суммой аппаратных затрат блока управления синхронизацией и устройства умножения, то есть

$$R_{\text{ДМС}} = 2 \cdot 4 \cdot \log_2 n + 2 \cdot \log_2 n + 4 + 3 + R_{\text{умн}} = 10 \cdot \log_2 n + 7 + R_{\text{умн}}.$$

При использовании устройства МС на базе пирамидального выделения переносов аппаратная сложность составит

$$R_{\text{ДМС}} = 10 \cdot \log_2 n + 40 \cdot n - 15.$$

Тогда удельная производительность $G_{\text{ДМС}}$ одного логического элемента при использовании устройства суммирования на базе пирамидального выделения переносов составит

$$G_{\text{ДМС}} = \frac{1}{Q_{\text{ДМС}} \cdot R_{\text{ДМС}}} = \frac{1}{(3 \cdot t \cdot n \cdot \log_2 n) \cdot (10 \cdot \log_2 n + 40 \cdot n - 15)}.$$

В таблице приведены результаты расчета характеристик устройств деления на базе способов SRT и ДМС.

Таким образом, полученное выражение временной сложности устройства деления на базе устройства суммирования с пирамидальным выделением переносов показывает возрастание временной сложности по сравнению с умножением на базе этого же способа суммирования в $\log_2 n$ раз. При этом аппаратная сложность увеличивается незначительно.

Результаты расчета характеристик

n, бит	Временная сложность		Аппаратная сложность		Удельная производительность	
	SRT, нс	ДМС, нс	SRT, шт.	ДМС, шт.	SRT, оп/с	ДМС, оп/с
64	10732	2605	2112	2729	44,090	106,029
128	42926	5175	4224	5427	5,511	26,708
256	171704	10305	8448	10813	0,689	6,702
512	686817	20555	16896	21575	0,086	1,679
1024	2747269	41045	33792	43089	0,011	0,42

Временная сложность устройства деления на базе МС прямо пропорциональна разрядности сомножителей, тогда как для устройства на базе алгоритма SRT она возрастает квадратично. Наиболее выгодным с точки зрения временной сложности является устройство на базе МС. Например, при разрядности операндов $n = 256$ бит его временные затраты в 16 раз меньше, чем для устройства на базе SRT. Аппаратная сложность устройства на базе МС больше в 1,28 раза по сравнению с устройством на базе SRT. Удельная производительность устройств деления уменьшается с ростом разрядности. Наиболее выгодным с точки зрения удельной производительности является устройство на базе ДМС. Например, при разрядности сомножителей $n = 256$ бит, его удельная производительность в 38 раз выше, чем для устройства на базе SRT.

Заключение

Предложен способ деления двоичных положительных чисел нацело, отличающийся от известных тем, что деление производится с помощью операции мультиоперандного суммирования, начиная с младших разрядов делимого. Предложенный способ по сравнению с известным итерационным способом позволяет повысить скорость вычислений в $n/\log_2 n$ раз, где n – разрядность операндов.

Предложена организация вычислительной ячейки и на её базе организация

конвейерной однородной вычислительной среды для формирования разрядных срезов делимого на основе способа деления с использованием операции мультиоперандного суммирования. В отличие от известных аналогов вычислительная среда после заполнения $]\log_2 n[$ ступеней конвейера $T_{конв} = (]\log_2 n[+1)\cdot t_я$ обеспечивает выдачу результата деления за $n\cdot t_я/\log_2 n$, где $t_я$ – время срабатывания вычислительной ячейки, n – разрядность операндов.

Список литературы

1. Осинин И.П., Князьков В.С. Способ и устройство для конвейерных вычислений суммы m n-разрядных чисел // Математика и математическое моделирование: сборник материалов VI всероссийской молодежной научно-инновационной школы. – Саров, 2012. – С. 89–97.

2. Осинин И.П. Способ деления целых двоичных чисел без остатка, начиная с младших разрядов // Научный сервис в сети интернет: поиск новых решений: сборник трудов XIV международной суперкомпьютерной конференции. – Новороссийск, 2012.

3. Осинин И.П., Князьков В.С. Способ деления целых двоичных чисел без остатка, начиная с младших разрядов // Положительное решение о выдаче патента РФ.

4. Осинин И.П., Князьков В.С., Волченская Т.В. Организация арифметического разрядно-параллельного СБИС-процессора для массовых вычислений // Материалы XII Всероссийской конференции. – Нижний Новгород, 26-28 ноября 2012г., Изд-во Нижегородского госуниверситета, 2012. – С. 194–198.

5. Цилькер Б.Я., Орлов С.А. Организация ЭВМ и систем: учебник для вузов – СПб., 2004. – 667 с.

References

1. Osinin I.P., Knjaz'kov V.S. Sposob i ustrojstvo dlja konvejernyh vychislenij summy m n-razrjadnyh chisel // Sbornik materialov VI vserossijskoj molodezhnoj nauchno-innovacionnoj shkoly *«Matematika i matematicheskoe modelirovanie»*: Stat'ja, Sarov, 17–20 aprelja, 2012, pp. 89–97.

2. Osinin I.P., Knjaz'kov V.S. Sposob delenija celyh dvoichnyh chisel bez ostatka, nachinaja s mladshih razrjadov // Sbornik trudov XIV mezhdunarodnoj superkomp'juternoj konferencii *«Nauchnyj servis v seti internet: poisk novyh reshenij»*: Stat'ja, g. Novorossijsk, 17–22 sentjabrja, 2012.

3. Osinin I.P., Knjaz'kov V.S. Sposob organizacii vychislenij summy n m-razrjadnyh chisel // *Pervyj vserossijskij kongress molodyh uchenyh*: Tez. dokl. Sankt-Peterburg, 10–13 aprelja, 2012, pp. 87–88.

4. I.P. Osinin, V.S. Knjaz'kov, T.V. Volchenskaja Organizacija arifmeticheskogo razrjadno-parallel'nogo SBIS-processora dlja massovyh vychislenij // Materialy XII Vserossijskoj konferencii: Nizhnij Novgorod, 26-28 nojabrja 2012 g., Izd-vo Nizhegorodskogo gosuniversiteta, 2012. pp. 194–198.

5. Cil'ker B.Ja., Orlov S.A. Organizacija JeVM i sistem // Uchebnik dlja vuzov. SPb., 2004. 667 p.

Рецензенты:

Частиков А.В., д.т.н., профессор, декан факультета прикладной математики и телекоммуникаций Вятского государственного университета, г. Киров;

Шатров А.В., д.ф.-м.н., профессор, заведующий кафедрой математического моделирования в экономике Вятского государственного университета, г. Киров.

Работа поступила в редакцию 08.10.2013.