

УДК 621.382

ФУНКЦИОНАЛЬНЫЕ БЛОКИ ЭНЕРГОНЕЗАВИСИМЫХ ПЛИС НА ОСНОВЕ МЕМРИСТОРНЫХ ЯЧЕЕК ПАМЯТИ

¹Кальсков А.В., ¹Ковалев А.В., ²Коробкова А.И.

¹ФГАОУ ВПО «Южный федеральный университет», Ростов-на-Дону, e-mail:andr@fep.tti.sfedu.ru;

²Институт химии силикатов имени И.В. Гребенщикова Российской академии наук,
Санкт-Петербург, e-mail:andr@fep.tti.sfedu.ru

В статье рассмотрен подход к решению проблемы повышения интеграции блоков памяти с помощью применения мемристоров, которые занимают меньшую площадь, чем запоминающие ячейки на основе транзисторов, имеют достаточно высокое быстродействие, а также энергонезависимы (при отключении питания мемристор сохраняет свое состояние проводимости). Для моделирования ячейки памяти в системе автоматизированного проектирования (САПР) Cadence была разработана схемотехническая модель мемристора. На ее основе разработана ячейка памяти, состоящая из трех основных составляющих частей: ячейка памяти, схема записи и схема считывания. Проанализированы преимущества данной схемной реализации (в 20–25 раз меньшая площадь по сравнению с ячейками памяти на транзисторах), а также возможность разработки табличных преобразователей для функциональных блоков программируемых логических интегральных схем (ПЛИС) на их основе.

Ключевые слова: мемристоры, функциональные блоки, программируемые логические интегральные схемы (ПЛИС)

FUNCTIONAL BLOCKS OF NON-VOLATILE FPGA BASED ON MEMRISTORS' MEMORY CELLS

¹Kalskov A.V., ¹Kovalev A.V., ²Korobkova A.I.

¹Southern Federal University, Rostov-on-Don, e-mail: andr@fep.tti.sfedu.ru;

²Institute of Silicate Chemistry I.V. Grebenshikova, Russian Academy of Sciences,
e-mail: andr@fep.tti.sfedu.ru

This article describes an approach to the problem of improving the integration of memory blocks by applying the memristor, which occupies less storage space than the cell-based transistors have high enough speed, as well as nonvolatile (at power memristor retains its state of conductivity). To model the memory cells in computer-aided design (CAD) Cadence schematic model was developed memristor. On its basis the memory cell, consisting of three main component parts: memory, the circuit diagram of the recording and reading. The advantages of the circuit realization of (20–25 times less area compared to the transistor memory cells), as well as developing a spreadsheet converter for function blocks of field programmable gate array (FPGA) based on them.

Keywords: memristors, functional blocks, field-programmable gate array (FPGA)

С каждым днем увеличивается объем цифровой информации, которую необходимо хранить на запоминающих устройствах. Назначение памяти может быть очень разнообразным: оперативная память, постоянная память или же память, предназначенная для хранения значений в LUT (LookUp Table) в функциональных блоках ПЛИС (программируемая логическая интегральная схема). Но во всех видах памяти важными характеристиками являются быстродействие и степень интеграции.

В настоящее время подавляющее число ячеек памяти создается на основе транзисторов. Постоянное усовершенствование технологии позволяет уменьшать их размеры, тем самым увеличивая количество ячеек на единицу поверхности, но с каждым новым увеличением интеграции происходит значительное усложнение технологии. Решением данной проблемы может стать использование мемристоров, которые занимают меньшую площадь, имеют достаточно высокое быстродействие, а также энергонезависимы (при отключении питания мемристор сохраняет свое состояние).

зависимы (при отключении питания мемристор сохраняет свое состояние).

Мемристор – один из четырех базовых пассивных элементов, появление которого было предсказано в 1971 году профессором Леоном Чуа [1]. В 2008 году HP labs объявили о получении прототипа мемристора [3]. Особенность этого элемента заключается в способности изменять свое сопротивление при приложении напряжения, а также сохранять свое состояние при отключении питания [4]. Такое свойство мемристора позволяет применять его в многоуровневой логике, нейронных сетях, а также в ячейках памяти.

Мемристор представляет собой структуру металл-диэлектрик-металл. При создании используются различные материалы, но чаще всего применяются оксид титана и платина. Рабочим телом является оксид титана, платина выполняет роль двух терминалов, к которым прикладывается напряжение [5]. Структура имеет размеры 40×40 нм, что по сравнению с транзистором в 5–6 раз меньше (при 32 нм технологии).

Для моделирования ячейки памяти в САПР Cadence была разработана схемотехническая модель мемристора. На ее основе разработана ячейка памяти, ко-

торую можно разделить на три составляющие части: ячейка памяти (рис. 1), схема записи (рис. 2) и схема считывания (рис. 3).

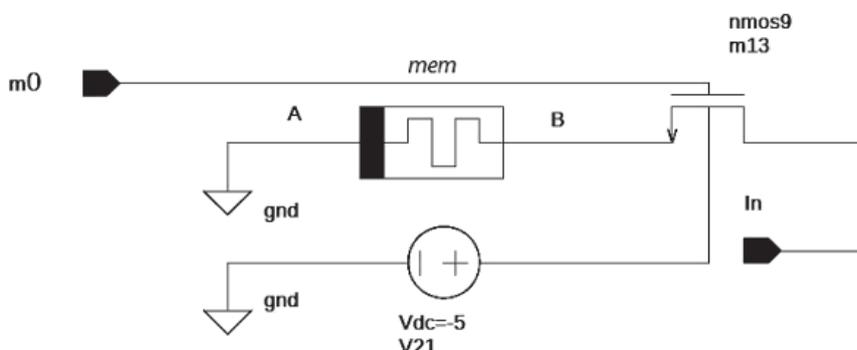


Рис. 1. Ячейка памяти

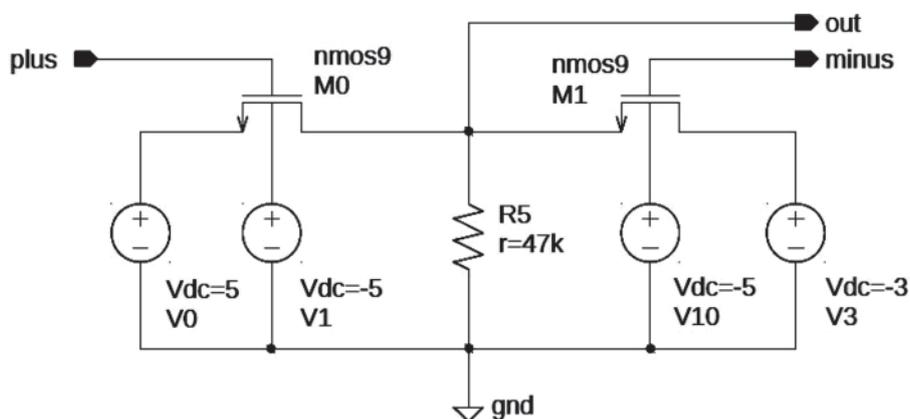


Рис. 2. Схема записи

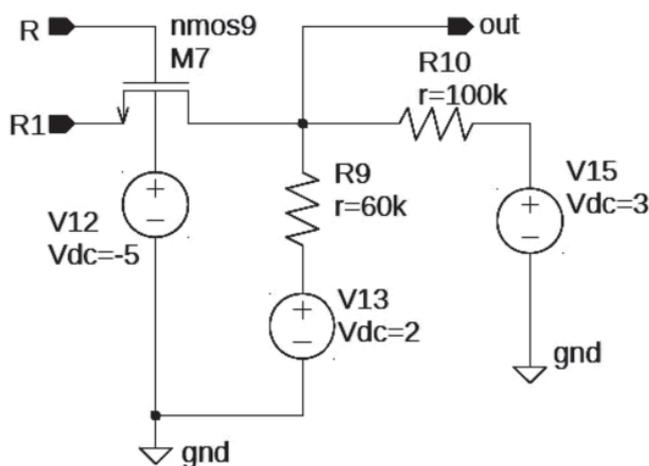


Рис. 3. Схема считывания

Ячейка памяти состоит из транзистора и мемристора. Транзистор выполняет роль ключа, который открывает доступ к мемристору. Особенность заключается в том,

что к подложке транзистора подключается -3 В, а на затвор подается $+5$ и -5 В. Это необходимо для того, чтобы транзистор пропускал положительное и отрица-

тельное напряжение. Благодаря этому на один из терминалов мемристора подается +2 и -2 В (в то время как второй терминал подключен к земле), и соответственно мемристор может перейти в нужное состояние.

Для перезаписи мемристора необходима схема записи, которая представлена на рис. 2. Она состоит из двух транзисторов и двух источников напряжения. На подложки транзистора так же подается напряжение в -3 В. Когда на терминал Plus подается +5 В, транзистор открывается. Напряжение в +3 В, генерируемое источником напряжения, проходя через открытый транзистор, подается на сток транзистора в ячейке памяти, и если он открыт, +3 В прикладывается к мемристор, переводя его в ON состояние (состояние с низким сопротивлением, равным 1 кОм). Когда же на терминал Minus подается +5 В, на сток транзистора в ячейке памяти подается -3 В, и мемристор соответственно может переключиться в OFF состояние (состояние с низким сопротивлением, равным 100 кОм).

Чтобы определить состояние мемристора, можно использовать схему считывания, которая работает по принципу делителя напряжения. Напряжение делится между резистором в 100 кОм и мемристором. Резистор номиналом 60 кОм необходим для получения нужных значений напряжения при разных логических уровнях. В результате при сопротивлении на мемристоре 2 кОм на выход приходит 0,2 В, при 100 кОм, соответственно, 1 В.

Предложенная принципиальная схема была промоделирована в САПР Cadence, в результате чего была получена временная диаграмма представленная на рис. 4. На ней можно увидеть, что при одновременном приложении напряжения +5 В на транзистор открывающий доступ к мемристор (/m) и транзистор, позволяющий приложить +3 В (/plus), мемристор переходит в On состояние, и при последующим считывании (приложении +5 В к терминалу /R) на выход (/out) приходит 0,2 В. При приложении +5 В к терминалу minus, мемристор переходит соответственно в Off состоянии, и на выход, при чтении, приходит 1 В.

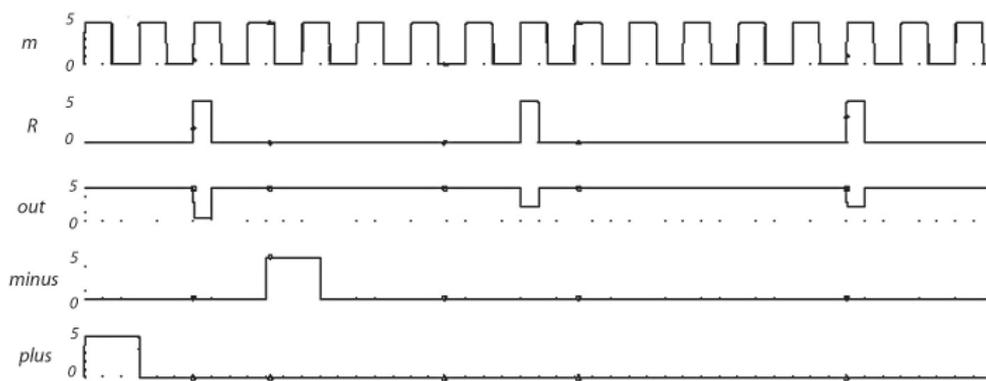


Рис. 4. Временная диаграмма ячейки памяти

Преимущество представленной схемы заключается в использовании одинаковых транзисторов, что позволяет сократить до минимума количество производственных этапов. Также малый размер ячейки дает возможность создавать память с очень высокой плотностью.

Используя предложенное схемотехническое решение, можно спроектировать LUT (LookUp Table) для функциональных блоков ПЛИС. Особенность данной схемы заключается в возможности использовать одну схему считывания и записи на несколько ячеек памяти. Количество ячеек ограничивается только паразитной емкостью проводников, которая может повлиять

на скорость переключения мемристор. Однако значение данной емкости сравнительно не большое, поэтому можно использовать одну схему считывания и записи на 16 ячеек памяти (рис. 5).

LUT в функциональных блоках ПЛИС, созданных на основе мемристор, имеют в 20–25 раз меньшую площадь по сравнению с ячейками памяти на транзисторах. Также мемристоры энергонезависимы, что позволяет более эффективно использовать их в теневой памяти. Скорость чтения составляет 10 нс [2], что также удовлетворяет требованиям памяти в функциональных блоках ПЛИС.

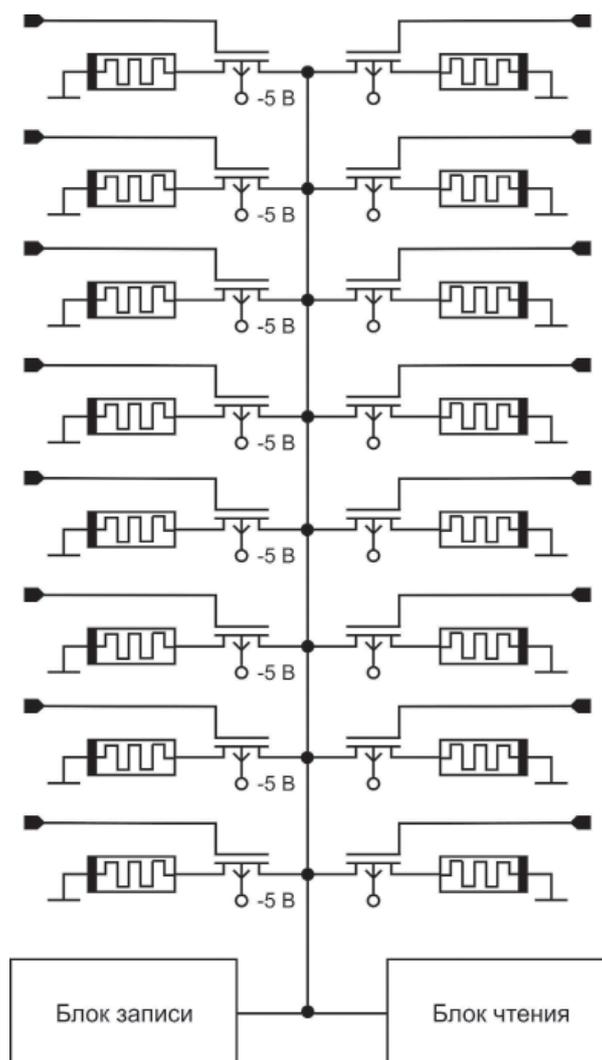


Рис. 5. Схема LUT для функциональных блоков ПЛИС

Работа выполнена при финансовой поддержке Министерства образования и науки Российской Федерации (гос. соглашение №14.А18.21.0107) в рамках ФЦП «Научные и научно-педагогические кадры инновационной России» на 2009–2013 годы.

Список литературы

1. Chua L.O. Memristor—the missing circuit element // IEEE Trans. Circuit Theory, CT-18, 1971. – №. 5. – P. 507–519.
2. Hackett N.G., Hamadani B., Dunlap B. at al. A flexible solution-processed memristor // IEEE Electron Devic. Lett. – July 2009. – Vol. 30, №. 7. – P. 706–708.
3. Strukov D.B., Snider G.S., Stewart D.R., Williams R.S. The missing memristor found // Nature, 453. – 2008. – P. 80–83.
4. Wuttig M. and Yamada N. 2007 Phase-change materials for rewriteable data storage Nat. Mater. 6 824–32.
5. Yang J., Pickett M.D., Li X. at al. Memristive switching mechanism for metal/oxide/metal nanodevices // Nat. Nanotechnol. – June 2008. – Vol. 3. – P. 429–433.

References

1. Chua L.O. Memristor—the missing circuit element // IEEE Trans. Circuit Theory, CT-18, 1971. no. 5. pp. 507–519.
2. Hackett N. G., Hamadani B., Dunlap B. at al. A flexible solution-processed memristor // IEEE Electron Devic. Lett., July 2009. vol. 30, no. 7. pp. 706–708.
3. Strukov D.B., Snider G.S., Stewart D.R., Williams R.S. The missing memristor found // Nature, 453. 2008. pp. 80–83.
4. Wuttig M and Yamada N 2007 Phase-change materials for rewriteable data storage Nat. Mater. 6 824–32.
5. Yang J.J., Pickett M.D., Li X. at al. Memristive switching mechanism for metal/oxide/metal nanodevices // Nat. Nanotechnol., June 2008. vol. 3. pp. 429–433.

Рецензенты:

Агеев О.А., д.т.н., профессор, директор Научно-образовательного центра «Нанотехнологии» Южного федерального университета, г. Таганрог;
 Рындин Е.А., д.т.н., профессор, ведущий научный сотрудник Южного научного центра Российской академии наук (ЮНЦ РАН), г. Ростов-на-Дону.

Работа поступила в редакцию 16.10.2012.